

THIN-FILM TRANSISTOR, LOGIC GATE DEVICE, AND THIN-FILM TRANSISTOR ARRAY

Publication number: JP10229202 (A)

Publication date: 1998-08-25

Inventor(s): ISHIZUKA YOSHIKI; MIHASHI HIROSHI; KAWAHISA YASUTO

Applicant(s): TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: G02F1/136; G02F1/1368; G09F9/33; H01L21/20; H01L21/336; H01L29/786; G02F1/13; G09F9/33; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; G02F1/136; G09F9/33; H01L21/336

- European:

Application number: JP19970048438 19970217

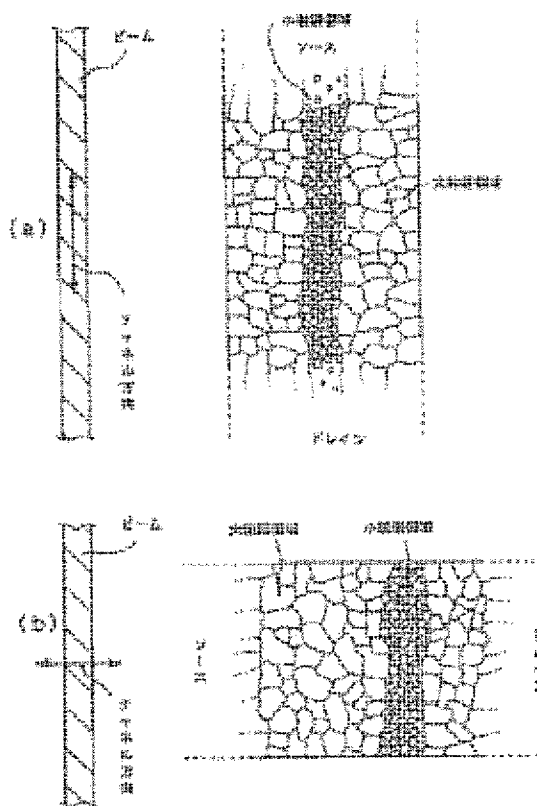
Priority number(s): JP19970048438 19970217

Also published as:

JP3386682 (B2)

Abstract of JP 10229202 (A)

PROBLEM TO BE SOLVED: To provide a thin-film transistor (array) having high mobility and uniform characteristic. SOLUTION: By paying attention to the anisotropy of the distribution of crystal grain sizes and the arranging positions of source and drain electrodes in a semiconductor film which is composed of non-single-crystal crystalline silicon, a plurality of thin-film transistors are formed by properly arranging the source and the drain electrodes, so that carriers may only move through a region having a large crystal grain size and large mobility. In all thin-film transistors which constitute a prescribed thin-film transistor array, the carriers can move between a source and a drain, without being interrupted by a region having a small crystal grain size and small mobility. Therefore, such a high-performance thin-film transistor array that all thin-film transistors constituting the array have small carrier mobility, and the characteristic variation among the thin-film transistors being extremely small can be obtained.



Family list

1 application(s) for: **JP10229202 (A)**

1 THIN-FILM TRANSISTOR, LOGIC GATE DEVICE, AND THIN-FILM TRANSISTOR ARRAY

Inventor: ISHIZUKA YOSHIKI ; MIHASHI HIROSHI (+1)

Applicant: TOKYO SHIBAURA ELECTRIC CO

EC:

IPC: G02F1/136; G02F1/1368; G09F9/33; (+11)

Publication info: JP10229202 (A) — 1998-08-25
JP3386682 (B2) — 2003-03-17

Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229202

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.⁸ 識別記号
 H 0 1 L 29/786
 21/336
 G 0 2 F 1/136 5 0 0
 G 0 9 F 9/33

F I
 H 0 1 L 29/78 6 2 7 G
 G 0 2 F 1/136 5 0 0
 G 0 9 F 9/33 F
 H 0 1 L 29/78 6 1 3 Z

審査請求 未請求 請求項の数 4 F D (全 18 頁)

(21) 出願番号 特願平9-48438

(22) 出願日 平成9年(1997) 2月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石塚 芳樹

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 三橋 浩

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 川久 慶人

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

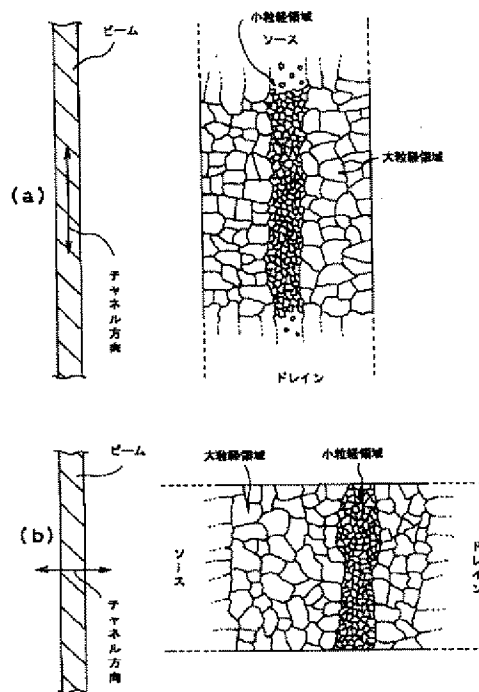
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 薄膜トランジスタ、論理ゲート装置および薄膜トランジスタアレイ

(57) 【要約】

【課題】 移動度が高くかつ特性が均一な薄膜トランジスタ(アレイ)を提供する。

【解決手段】 非単結晶の結晶質シリコンからなる半導体膜内の結晶粒径の分布の異方性とソース・ドレイン電極の配列位置に注目し、ソース・ドレイン電極を、結晶粒径が大きく移動度の大きな領域のみを通してキャリアが移動できるように揃えて、複数の薄膜トランジスタを形成する。所定の薄膜トランジスタアレイを構成するすべての薄膜トランジスタにおいて、キャリアは結晶粒径が小さく移動度が小さい領域に遮られることなくソース・ドレイン間を移動することができ、したがって、所定の薄膜トランジスタアレイを構成するすべての薄膜トランジスタにおいてキャリア移動度が小さく、かつ複数の薄膜トランジスタ間での特性のばらつきが極めて小さな高性能な薄膜トランジスタアレイとなる。



【特許請求の範囲】

【請求項1】 非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜と、

この半導体膜の第1の領域を中心にキャリアが移動できるように前記半導体膜と接合したソース領域およびドレイン領域とを具備した薄膜トランジスタ。

【請求項2】 非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を具備する複数の薄膜トランジスタを有する論理ゲート装置において、

前記薄膜トランジスタは、前記半導体膜の第1の領域のみを中心にキャリアが移動できるように前記半導体膜と接合したソース領域およびドレイン領域を具備したことを特徴とする論理ゲート装置。

【請求項3】 非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を備え、この半導体膜の第1の領域を中心に通ってキャリアが移動できるように形成された複数の薄膜トランジスタからなる薄膜トランジスタアレイ。

【請求項4】 矩形の基板に非晶質シリコン膜を形成する工程と、

前記非晶質シリコン膜が再結晶化して非単結晶の結晶質シリコン膜が形成されるように、前記基板の短辺と平行な線状の焦点を結ぶレーザー光を前記非晶質シリコン膜に照射し、前記基板の長辺と平行に走査する工程と、ソース領域とドレイン領域とが前記基板の短辺と実質的に平行な方向に配列して前記非単結晶の結晶質シリコン膜と接合するように、前記基板上に薄膜トランジスタを形成する工程とを有する方法により製造したことを特徴とする薄膜トランジスタアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は非単結晶の結晶質シリコンをそのチャネル部に用いた薄膜トランジスタに関し、とくに、このような薄膜トランジスタを複数配列して回路を構成した薄膜トランジスタアレイおよび論理ゲート装置に関する。

【0002】 また本発明は非単結晶の結晶質シリコンをスイッチング素子に用いた液晶表示装置に関し、とくに画素部、駆動部ともに絶縁性基板上に形成した液晶表示素子に関する。

【0003】

【従来の技術】

MIS構造 (metal-insulator-semiconductor: MOS構造, MNOS構造等を含む) の薄膜トランジスタは高集積化に適していること

などから、各種半導体メモリ素子、マイクロプロセッサなどのLSI、VLSIの構成素子として、また、パワー素子、CCD (charge coupled device)、高周波素子として幅広く用いられている。

【0004】 また薄膜トランジスタは、近年CRTに代わる平面型表示装置として急速に普及している液晶表示装置にも大量に用いられており、液晶表示装置の表示画面を駆動する駆動回路を構成するスイッチング素子として用いられる他、アクティブマトリックス型液晶表示装置では、表示画面を構成する画素のスイッチング素子としても用いられている。

【0005】 (実施例: 薄型・軽量であり、低電圧駆動が可能で、更にカラー化も容易である等の特徴を有しており、近年、パーソナルコンピュータ、ワードプロセッサ、各種情報端末などの表示装置として幅広く利用されている。)

薄膜トランジスタを、キャリア走行層 (活性層) の構成材料から分類すると、非晶質シリコン (アモルファスシリコン: a-Si) を用いたものと非単結晶の結晶質シリコン (多結晶 (ポリ) シリコン: p-Si、または微結晶シリコン: μ c-Si) を用いたものとに分類することができる。ここで、非単結晶の結晶質シリコンにはいわゆる微結晶シリコン (μ c-Si) を含むものとする。非単結晶の結晶質シリコンからなる半導体膜は、アモルファスシリコンからなる半導体膜と比較してキャリアの移動度が10倍から100倍程度大きいという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有する。

【0006】 また非単結晶の結晶質シリコンを活性層に用いた薄膜トランジスタは高速動作が可能なることから、近年では、各種論理回路 (例えばドミノ論理、CMOSトランスミッションゲート回路) やこれらを用いたマルチプレクサ、EPROM、EEPROM、CCD、RAM、さらに液晶表示装置の駆動回路などを構成するスイッチング素子としても注目されている。特に、液晶表示装置においては、画素部 (画素アレイ) と、走査線信号回路や信号線駆動回路などの周辺駆動回路とを同一の基板上に形成する、いわゆる画素部・駆動回路部一体型の液晶表示装置の研究・開発も精力的に行われている。

【0007】 さて、上述のようにp-Si TFTは優れた特性を有するが、このp-Si TFTにより、例えば液晶表示装置のアレイ基板などの薄膜トランジスタアレイを作製するには解決しなければならない問題点が残されている。

【0008】 例えば、透過型液晶表示装置をポリシリコン薄膜トランジスタにより構成しようとする、透明基板上へポリシリコン薄膜トランジスタを形成することが必要になる。このような透明基板としては、例えば石英基板やガラス基板 (例えば、Corning社製の1737や7059等がその代表例) などがある。石英基板

を用いる場合には、例えばプロセスの到達温度が800℃程度の高温であっても特に問題はなく、プロセス温度の制約を受けないという利点がある。しかしながら石英基板のコストは高く、この石英基板コストが液晶表示装置のコストにも大きく影響してしまう。石英基板に比べてガラス基板はコスト面では有利であるが、プロセス温度に制約があるという問題点を有する。例えばガラス基板を用いた場合には、高温での長時間プロセスにより基板の反りを生じたり、あるいは基板が破損してしまうという問題がある。したがって、長時間（数十分から数時間程度）プロセス時の温度は600℃以下、より好ましくは450℃あるいは350℃以下に設定することが好ましい。このような温度の制約を受けるプロセスはいくつかあるが、そのなかでもポリシリコン半導体膜の形成プロセスがポイントとなる。従来はアモルファスシリコンの熱アニールによる固相成長による非単結晶の結晶質シリコンの形成が一般的であったが、この方法はガラス基板に対する熱的負荷が大きく適当な方法とはいえない。

【0009】熱アニール法に替わる非単結晶の結晶質シリコン膜の形成方法として、エキシマレーザーアニール法（ELA法）がここ数年で広く採用されるようになってきた。ELA法ではXeCl等の紫外光を発するエキシマレーザーを、ガラス基板上に形成された先駆膜であるアモルファスシリコン膜に照射し、アモルファスシリコンを瞬時溶融させて再結晶させることにより非単結晶の結晶質シリコンを形成するという方法である。

【0010】アモルファスシリコンが溶融する工程では、その温度は1300～1400℃程度にまで上昇するが、その時間が 10^{-3} sec程度のオーダーでなされるために、基板への熱的負荷を小さく抑制することができる。さらにELA法による非単結晶の結晶質シリコン膜形成プロセスでは、非単結晶の結晶質シリコンのグレイン内の結晶性が高く、またグレイン境界の特性も優れた半導体膜が得られる。このため、従来の非単結晶の結晶質シリコン膜に比べてキャリアの移動度を向上し、スイッチング素子として優れた特性を有する半導体膜を提供することができる。

【0011】ところが、ELA法によりポリシリコン膜を形成して作成した薄膜トランジスタアレイは、キャリアの移動度や閾値電圧などの特性がばらついてしまうという問題があった。このような特性のばらつきは、これらの薄膜トランジスタを用いて構成した例えば液晶表示装置の画素アレイの駆動回路や、各種メモリ素子の駆動回路、デコーダなどの薄膜トランジスタアレイ、論理ゲート装置は、信号伝送に時間差を生じたりするなど、その動作に深刻な影響を与えるという問題がある。

【0012】

【発明が解決しようとする課題】本発明はこのような問題を解決するためになされたものである。すなわち本発

明は、高性能で均一な特性を有する非単結晶の結晶質シリコン膜をチャンネルに用いた薄膜トランジスタを提供することを目的とする。また、本発明は高性能で均一な特性を有する薄膜トランジスタからなる動作特性が均一で高性能な論理ゲート装置を提供することを目的とする。

【0013】また、本発明は高性能で均一な特性を有する薄膜トランジスタからなる動作特性が均一で高性能な薄膜トランジスタアレイを提供することを目的とする。

【0014】さらに本発明は、非単結晶の結晶質シリコン膜をチャンネルに用いた薄膜トランジスタにより画素部と駆動部とを一体的に形成した液晶表示装置に適した、高性能で特性の均一な薄膜トランジスタ、論理ゲート装置または薄膜トランジスタアレイを提供することを目的とする。

【0015】

【課題を解決するための手段】このような課題を解決するために本発明の薄膜トランジスタ、論理ゲート装置、薄膜トランジスタアレイは以下に説明するような構成を備えている。

【0016】請求項1に記載の本発明の薄膜トランジスタは、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜と、この半導体膜の第1の領域を中心にキャリアが移動できるように前記半導体膜と接合したソース領域およびドレイン領域とを具備したことを特徴とする。

【0017】ここで、「半導体膜の第1の領域を中心にキャリアが移動できるように前記半導体膜と接合したソース領域およびドレイン領域」とは、第1の領域のみを通過してソース・ドレイン間を移動できるパスが少なくとも存在するように、半導体膜とソース・ドレインが接合していることをいう。したがって、第2の領域を移動するキャリアが存在してもよい。したがって、ソース電極、ドレイン電極も基本的には同様に配列することになる。

【0018】また、本発明の薄膜トランジスタは、第1の平均粒径を有する非単結晶の結晶質シリコンからなる第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する前記非単結晶の結晶質シリコンからなる第2の領域とを有する半導体膜と、前記半導体膜と接合したソース領域と、前記半導体膜と前記ソース領域との接合部との間に第1の領域が連続した部分が存在するように前記半導体膜と接合したドレイン領域とを具備するようにしてもよい。

【0019】請求項2に記載の本発明の論理ゲート装置は、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を具備する複数の薄膜トランジスタを有する論理ゲート装置において、前記薄膜トランジスタは、前記半導体膜の

第1の領域を中心にキャリアが移動できるように前記半導体膜と接合したソース領域およびドレイン領域を具備したことを特徴とする。

【0020】また本発明の論理ゲート装置は、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を具備する複数の薄膜トランジスタを有する論理ゲート装置において、前記薄膜トランジスタは、前記半導体膜を移動するキャリアの移動方向が実質的に平行になるように前記半導体膜と接合したソース領域およびドレイン領域を具備するようにしてもよい。

【0021】さらに本発明の論理ゲート装置は、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を具備する複数の薄膜トランジスタを有する論理ゲート装置において、この半導体膜の第1の領域のみを通してキャリアが移動できるように、かつ、前記キャリアの移動方向が実質的に平行になるように前記半導体膜と接合したソース領域およびドレイン領域を具備するようにしてもよい。例えば、ソース・ドレイン領域の配列方向を、半導体膜の第1の領域のみを通してキャリアが移動できるような方向に揃えて複数の薄膜トランジスタを形成するようにしてもよい。

【0022】ここで論理ゲート装置とは、複数の薄膜トランジスタを組み合わせて構成した例えばAND回路、OR回路、NAND回路、NOR回路、Ex-OR回路、Ex-NOR回路、バッファ回路、インバータ回路、およびこれらの複合論理回路（例えばシフトレジスタ、ラッチ、デコーダ、センスアンプ、RAM、ROMなど）をいう。

【0023】請求項3に記載の本発明の薄膜トランジスタアレイは、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜を備え、この半導体膜の第1の領域を中心にキャリアが移動できるように形成された複数の薄膜トランジスタから構成されたことを特徴とする。

【0024】また本発明の薄膜トランジスタアレイは、非単結晶の結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する半導体膜と、この半導体膜と接合したソース領域と、前記半導体膜と前記ソース領域との接合部との間に第1の領域が連続した部分が存在するように前記半導体膜と接合したドレイン領域とを備えた薄膜トランジスタを複数具備し、前記複数の薄膜トランジスタは、前記ソース領域と前記ドレイン領域の配列方向が実質的にすべて平行になるように配列するようにしてもよい。

【0025】また、前記ソース領域と前記ドレイン領域とを、前記半導体膜の第1の領域のみを通してキャリアが移動できるように配列するようにしてもよい。

【0026】さらに、本発明の薄膜トランジスタアレイは、非単結晶の結晶質シリコンからなる半導体膜と接合したソース領域およびドレイン領域とを有する薄膜トランジスタが前記絶縁性基板上に行列状に配設された薄膜トランジスタアレイにおいて、前記薄膜トランジスタアレイを構成する複数の薄膜トランジスタの前記半導体膜は、第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有し、前記半導体膜と前記ソース領域および前記ドレイン領域との接合領域の間には第1の領域が連続した部分が存在するようにしてもよい。

【0027】また本発明の薄膜トランジスタアレイは、絶縁性基板と、この絶縁性基板の第1の領域に行列状に配設され、非単結晶の結晶質シリコンからなる半導体膜をチャンネルに用いた第1の薄膜トランジスタと、前記絶縁性基板の第1の領域に沿った第2の領域に、前記半導体膜を具備し、この半導体膜を移動するキャリアの移動方向が実質的に平行になるように配設された複数の第2の薄膜トランジスタからなる第1の薄膜トランジスタの駆動手段とを具備するようにしてもよい。

【0028】ここで、本発明の薄膜トランジスタアレイは、例えば液晶表示素子の画素領域を構成する薄膜トランジスタアレイとこの画素領域の薄膜トランジスタアレイを駆動する駆動回路を構成する薄膜トランジスタアレイのように、複数の薄膜トランジスタアレイを組み合わせ形成される薄膜トランジスタアレイであってもよい。さらに駆動回路を構成する薄膜トランジスタアレイも、複数の薄膜トランジスタアレイから構成されていてもよい。例えば絶縁性基板と、この絶縁性基板上に配設され、非単結晶の結晶質シリコンからなる半導体膜をチャンネルに用いた第1の薄膜トランジスタと、前記絶縁性基板上に配設され、前記半導体膜をチャンネルに用い、このチャンネルを移動するキャリアの移動方向が実質的に平行になるように配設された複数の第2の薄膜トランジスタからなる論理ゲートを有する第1の薄膜トランジスタの駆動手段とを具備するようにしてもよい。請求項4に記載の本発明の薄膜トランジスタアレイは、略矩形の基板に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜が再結晶化して非単結晶の結晶質シリコン膜が形成されるように、前記基板の短辺と平行な線状の焦点を結ぶレーザー光を前記非晶質シリコン膜に照射し、前記基板の長辺と平行に走査する工程と、ソース領域とドレイン領域とが前記基板の短辺と実質的に平行な方向に配列して前記非単結晶の結晶質シリコン膜と接合するように、前記基板上に薄膜トランジスタを形成する工程とを有する方法により製造したことを特徴とする。例えば、このような薄膜トランジスタアレイの製造方法とし

ては、矩形の基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜が再結晶化して非単結晶の結晶質シリコン膜が形成されるように、前記基板の短辺と平行な線状の焦点を結ぶレーザー光を前記非晶質シリコン膜に照射し、前記基板の長辺と平行に走査する工程と、チャンネルの方向が前記基板の短辺と実質的に平行になるように、前記基板上に薄膜トランジスタを形成する工程とを有するようにすればよい。

【0029】また、本発明の薄膜トランジスタアレイは、矩形の基板に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜が再結晶化して第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する非単結晶の結晶質シリコン膜が形成されるように、レーザー光を前記非晶質シリコン膜に照射する工程と、ソース領域とドレイン領域とを前記非単結晶の結晶質シリコン膜の第1の領域のみを通してキャリアが移動できるように前記非単結晶の結晶質シリコン膜と接合するように、前記基板上に薄膜トランジスタを形成する工程とを有する方法により製造したことを特徴とする。

【0030】さらに、本発明の薄膜トランジスタアレイは、矩形の基板に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜が再結晶化して第1の平均粒径を有する第1の領域と、第1の平均粒径より小さな第2の平均粒径を有する第2の領域とを有する非単結晶の結晶質シリコン膜が形成されるように、前記基板の短辺と平行な線状の焦点を結ぶレーザー光を前記非晶質シリコン膜に照射し、前記基板の長辺と平行に走査する工程と、ソース領域とドレイン領域とを前記非単結晶の結晶質シリコン膜の第1の領域のみを通してキャリアが移動できるように、かつ、前記ソース領域と前記ドレイン領域とが前記基板の短辺と実質的に平行な方向に配列して前記非単結晶の結晶質シリコン膜と接合するように、前記基板上に薄膜トランジスタを形成する工程とを有する方法により製造したことを特徴とする。ここでエキシマレーザーアニール法による非単結晶の結晶質シリコン膜の形成について概略的に説明する。

【0031】前述したように、非単結晶の結晶質シリコンをチャンネルに用いた薄膜トランジスタの製造においては、低温プロセスでアモルファスシリコンを結晶化すること生産性の点からは重要であり、その方法としてはエキシマレーザーを用いたELA法が適している。しかしながら、ELA法によりアモルファスシリコンの結晶化を行うためには、約200～約400mJ/cm²程度の高いエネルギー密度を有するレーザー光を照射することが必要となる。

【0032】その一方で、より大きな基板（マザーガラス）に、一度に多数の薄膜トランジスタを形成する方が生産性は高くなる。また、特に液晶表示素子のアレイ基板等を作製する際には、生産性を向上するというだけで

なく大きな表示画面を得るためにも大規模な薄膜トランジスタアレイを形成する必要がある。例えば液晶表示装置のアレイ基板を製造する際には、母基板（マザーガラス）上に一度に複数のアレイ基板を形成するいわゆる多面取りが行なわれており、例えば400×500mm程度、あるいはこれよりも大きな母基板が用いられている。

【0033】したがって、このような大きな面積を有する母基板全体をアニーリングするには、高いエネルギー密度を大きな面積に照射できるような極めて強力なレーザー光源を用いるか、何らかの方法でレーザー光を集光して必要なエネルギー密度を保持した状態で先駆膜であるアモルファスシリコン膜を走査するようにすればよい。現状では基板全体を一括照射してアニーリングすることは非常に困難であり、したがって何らかの方法でレーザー光を集光し、必要なエネルギー密度を保持した状態で走査してアニーリングを行なうことが必要となる。あるいは複数のレーザー光源を組み合わせることで必要エネルギー密度（例えば約300～400mJ/cm²・pulse）と照射面積とをかせぐようにしてもよい。

【0034】レーザー光の集光形状としては、例えばレーザー光を点状に集光するスポットビームや線状に集光するラインビームなどがある。図1（a）はラインビーム11によりアモルファスシリコン膜を形成した母基板12を走査したときの様子を模式的に示す図であり、図1（b）はスポットビーム13によりアモルファスシリコン膜を形成した母基板12を走査したときの様子を模式的に示す図である。ラインビームを用いた方がスループットの点で有利であり生産性が高いだけでなく、より先駆膜に対してより均一に照射を行うことができる。

【0035】ラインビームによる先駆膜の照射面の形状としては、ビームの長尺方向はできるだけ長くしたほうが走査回数を減少させることができる。ビームの長尺方向の長さが母基板の1辺よりも長ければ1回の走査で、ビームの長尺方向の長さが母基板の1辺の半分であれば2回の走査で母基板全体をカバーすることができる。ところで前述したように、アモルファスシリコン膜の結晶化に必要なエネルギー密度を確保するためには、レーザービームの長尺方向の長さを長くするにしがって、ビームの短尺方向の長さは短くする必要がある。例えば、現状では200mm×0.5mm程度の照射面（焦点）を有するラインビームを用いるのが一般的である。ELA法によるアモルファスシリコン膜の結晶化は、レーザー光による加熱による瞬時溶融過程に基づいているが、上述のように焦点の縦横比が極端に異なるレーザービームを用いる場合、レーザービームの線状の焦点の長尺方向と短尺方向とで熱分布あるいは熱の逃げが異なることになる。このようなレーザービームの不均一性は得られるポリシリコンの結晶性にも反映されることがわかっ

た。

【0036】図2および図3は発明者が実際にELA法により形成してセコエッチングした非単結晶の結晶質シリコン膜の結晶の様子を示す電子顕微鏡写真(SEM像)である。写真に示されているように、ELA法により形成された非単結晶の結晶質シリコン膜には粗粒の領域と細粒の領域とが形成されていることがわかる。また、図4は結晶粒径の大きな領域と結晶粒径の小さな領域の分布と、レーザービームの照射方向及び走査方向との関係を模式的に示す図である。図2、図3の電子顕微鏡写真に示した非単結晶の結晶質シリコン膜とも、照射したレーザービームの長尺方向に沿っては均一で比較的大きな結晶が形成されているが、短尺方向に沿っては結晶径の小さい領域が形成されていることがわかる。このようにELA時のレーザービームの長尺方向と、走査方向との関係で、形成される半導体膜を構成する非単結晶の結晶質シリコンの結晶の粒径分布は異なったものとなっている。

【0037】図2および図3に例示した非単結晶の結晶質シリコン膜のSEM像では、大粒径領域でのポリシリコンの結晶の平均粒径は約200nm程度、小粒径領域の平均粒径は約40~50nmであり、小粒径領域を構成する結晶の平均粒径は大粒径領域の1/10程度のオーダーであった。

【0038】発明者はこのようにチャンネルとなる半導体膜を構成する非単結晶の結晶質シリコンの結晶粒径の違いにあると、粗粒の領域と細粒の領域でキャリアの移動度が相違し、薄膜トランジスタの特性の原因の一つになることを見出した。

【0039】すなわち、薄膜トランジスタのチャンネル長方向、つまりキャリアの走行方向がビームの焦点の長尺方向と垂直な方向の場合、キャリアの走行経路が結晶粒径の小さい領域により遮られることになるため、キャリアの移動度は小さくなってしまふ。一方、チャンネル内のキャリアの走行方向とビームの焦点の長尺方向とが平行な場合には、結晶粒径の小さい領域は、ソース・ドレインの配列方向と平行に存在することになる。この場合、キャリアは結晶粒径の大きい領域を選択的に動き結晶粒径の小さな領域を横切る必要がないため、薄膜トランジスタ全体で見た場合のキャリア移動度には顕著な影響を与えない。

【0040】本発明の薄膜トランジスタはこのような知見に基づいたものであり、非単結晶の結晶質シリコンからなり、平均粒径の大きい領域(第1の領域)と、これよりも平均粒径の小さな領域(第2の領域)とを有する半導体膜の、平均粒径が大きい領域、すなわちキャリアの移動度が大きい領域のみを通過してキャリアがソース・ドレイン間を移動できるように配設したソース電極およびドレイン電極とを具備したものである。例えば半導体膜とソース電極・ドレイン電極との接合部との間に粗粒

の領域が連続した部分が存在するように薄膜トランジスタを形成するようにすればよい。

【0041】図5は薄膜トランジスタを構成する非単結晶の結晶質シリコンからなる半導体膜の粒径分布の様子と、この半導体膜と接合するソース電極・ドレイン電極の位置関係を概略的に示す図である。図5(a)は本発明の薄膜トランジスタにおける非単結晶の結晶質シリコン膜の粒径分布とチャンネル方向(ソース・ドレイン方向)を示し、図5(b)は従来の1例を示す。このように本発明では、薄膜トランジスタのチャンネル方向(半導体膜と接合するソース電極・ドレイン電極の配列方向)を、チャンネルを構成する非単結晶の結晶質シリコン結晶の粒径分布の異方性を考慮して配設し、半導体膜の異方性に起因する問題を回避している。

【0042】そして、複数の薄膜トランジスタから構成される例えば論理ゲート装置や、また例えば液晶表示装置のアレイ基板の画素を形成する画素アレイなどの薄膜トランジスタアレイを上述のような本発明の薄膜トランジスタにより構成すれば、動作特性が均一になる。

【0043】図6は、本発明の薄膜トランジスタアレイを模式的に示す図であり、複数の薄膜トランジスタの、非単結晶の結晶質シリコンの粒径分布に異方性を有するチャンネル領域と、ソース・ドレイン領域との配列の関係を示している。また、図7は従来の薄膜トランジスタアレイを模式的に示す図である。従来のように半導体膜のチャンネル領域を構成する非単結晶の結晶質シリコン膜の粒径分布の異方性と、ソース・ドレイン電極の配列方向(すなわちチャンネル方向)とを最適化せずに複数の薄膜トランジスタを配列して論理ゲートやその他の薄膜トランジスタアレイを構成した場合には、ソース・ドレイン間に移動度の大きい領域が連続して存在する薄膜トランジスタ14と、ソース・ドレイン間を遮る移動度の小さい領域を有する薄膜トランジスタ15とが形成されてしまふ。さらに複数の薄膜トランジスタ間で移動度が大きくばらついてしまふため、薄膜トランジスタアレイ全体としての動作特性を低下させることになる。

【0044】これに対して本発明においては、粒径分布に異方性を有する非単結晶の結晶質シリコンからなる半導体膜のチャンネル領域に対する、ソース・ドレイン電極の配列方向を、この移動度の大きい領域のみを通過してキャリアが移動できるように揃えて、複数の薄膜トランジスタを形成しているため、所定の薄膜トランジスタアレイを構成するすべての薄膜トランジスタにおいて、キャリアは移動度の小さい結晶粒径の小さな領域に遮られることなくソース・ドレイン間を移動することができる。したがって、所定の薄膜トランジスタアレイを構成するすべての薄膜トランジスタにおいてキャリア移動度が小さく、かつ複数の薄膜トランジスタ間での特性のばらつきが極めて小さな高性能な薄膜トランジスタアレイとなる。

【0045】非単結晶の結晶質シリコン膜をチャンネルに用いた薄膜トランジスタは、前述のようにそのキャリア移動度が大きいことから、駆動回路と画素アレイとを一体的にアレイ基板上に形成した画素部駆動部一体型の液晶表示装置に関する応用についても注目されている。このような液晶表示装置は駆動能力が高いだけでなく、生産性の点でも大きな利点を有する。

【0046】図8は駆動回路一体型の液晶表示装置のアレイ基板の構成の1例を概略的に示す図である。このアレイ基板21は、画素領域22と、この周囲に走査線駆動回路23および信号線駆動回路24とが一体的に形成されている。画素領域22はマトリクス状に配設された画素25からなっており、画素25には図示しない画素電極とこの画素電極と接続した薄膜トランジスタ26などのスイッチング素子からなっており、薄膜トランジスタ26のゲート電極は走査線27に、ドレイン電極は信号線28に接続されている。走査線駆動回路23により所定の画素電極に接続した薄膜トランジスタ26をオン状態にし、このとき信号線駆動回路24により所定の信号線28に印加された表示信号電圧がソース・ドレイン電極を通じて画素電極に印加される。各画素電極は対向電極29との間に液晶層30を挟持しており、画素電極に印加された表示信号電圧に応じて液晶分子の配向状態、相状態などを変化させて光の変調を行うことにより表示を行なう。

【0047】走査線駆動回路、信号線駆動回路等を構成する薄膜トランジスタの特性としては大きい移動度を有することが必須である。なぜなら複数段のシフトレジスタなどの論理回路を介して信号を伝達していくに際して、移動度の低い薄膜トランジスタが存在するとそこで信号の遅れが生じ、信号伝送が均一に行なわれず、十分な駆動能力を得ることができないからである。

【0048】本発明の薄膜トランジスタは、前述のように非単結晶の結晶質シリコンからなる半導体膜内の結晶粒径の分布とソース・ドレイン電極の配列位置に注目して、複数の薄膜トランジスタの特性を均一にしたものである。したがって、このような本発明の薄膜トランジスタを用いて例えば論理ゲート装置、薄膜トランジスタアレイなどを構成することにより、非単結晶の結晶質シリコンからなる半導体膜を用いた薄膜トランジスタのスイッチング特性が向上するとともにスイッチング特性が均一になる。

【0049】例えばシフトレジスタは複数段のNAND回路とインバータ回路により構成することができる。そして例えばNAND回路などの論理ゲートを構成する薄膜トランジスタアレイを、チャンネル方向が前述のような移動度の大きな方向に揃えて構成することにより、その論理ゲート回路の動作特性の均一性が向上する。シフトレジスタを構成する全ての薄膜トランジスタのチャンネル方向を、チャンネル領域の非単結晶の結晶質シリコン膜の

結晶粒径の大きな移動度が大きい領域のみをたどってキャリアがソース・ドレイン電極間を移動できるような方向に揃えて形成することがより好適であるが、動作を律速する部分を構成する薄膜トランジスタのチャンネル方向のみを揃えるようにしてもよい。

【0050】また、液晶表示素子のアレイ基板などの場合には、シフトレジスタを含む駆動回路および画素領域全体を、チャンネル方向を揃えた薄膜トランジスタにより形成することが最も好適であるが、例えば駆動回路のみをチャンネル方向の揃った薄膜トランジスタアレイにより形成するようにしてもよいし、駆動回路の所定の部分（例えばシフトレジスタや、シフトレジスタを構成するNAND回路などの論理ゲート）のみをチャンネル方向の揃った薄膜トランジスタアレイにより形成するようにしてもよい。

【0051】このように本発明においては、複数の薄膜トランジスタにより論理ゲート装置やその他の薄膜トランジスタアレイを構成する際に、チャンネル方向を揃えることにより、チャンネル領域内の非単結晶の結晶質シリコンの結晶粒径の不均一さに起因する薄膜トランジスタの特性の低下を解決している。

【0052】すなわち、各種半導体メモリ素子の駆動回路、液晶表示装置の駆動回路、または液晶表示装置の画素領域を形成する薄膜トランジスタアレイなどを、そのチャンネル方向を移動度の大きい大粒径領域のみを通してキャリアが移動できるように揃えて構成することにより、スイッチング特性を均一にすることができる。半導体膜と接合するソース電極およびドレイン電極を、間に接合領域の間に移動度の大きい大粒径領域が連続した部分が存在するように配設するようにしてもよい。さて、ここまでは、非単結晶の結晶質シリコン膜の結晶粒径分布の不均一性に起因する問題を解決するための手段について説明してきたが、つぎに、各種成膜工程、脱水素工程、酸化膜のデンシファイ工程、不純物の活性化工程等の熱的負荷に起因して（母）基板に生じる応力の半導体膜に対する影響について説明する。母基板あるいは、この母基板から1枚乃至は複数枚のアレイ基板を取り出したときのガラス基板などの絶縁性基板の形状は長方形が一般である。これは、人間の視覚の特性から適当とされる形状が矩形とされるからであり、またこれに基づいて母基板の形状もある程度決まってくるからである。

【0053】このような等方的でない母基板（多面取りでなくともよい）を前提とした場合、ELA法のような低温プロセスといえどもその熱的負荷に起因して基板に生じる応力もやはり等方的でなくなる。その結果、母基板の短辺方向と長辺方向とでは、母基板上に形成された半導体膜は非等方的にストレスを受けるため、半導体膜の特性にも異方性が生じることになる。

【0054】このような半導体膜へかかる応力の異方性によっても薄膜トランジスタ（アレイ）の特性にはばら

つきが生じる。発明者は結晶粒径がほぼ同等の領域に薄膜トランジスタを形成した際、そのチャネル長方向を母基板の長辺と平行方向にした場合と垂直方向にした場合とで、この薄膜トランジスタのキャリア移動度に違いがあることを見出した。

【0055】例えば発明者がn-channelトランジスタを実際に作成してその移動度を比較した場合、チャネル長方向が母基板の長辺と平行な方向の場合の移動度は $103\text{ cm}^2/\text{Vs}$ (平均)、チャネル長方向が母基板の長辺と垂直方向の場合には $132\text{ cm}^2/\text{Vs}$ (平均)であった。

【0056】熱に起因した生じる応力の大きさは、基板の反りあるいはシュリンク(縮み)から見積もることができる。発明者の測定した結果では、大きさ $300\text{ mm} \times 400\text{ mm}$ 、厚さ 1.1 mm のNA35基板を用いてELA法により非単結晶の結晶質シリコン膜を形成した基板に、脱水素工程、酸化膜のデンシファイ工程、不純物の活性化工程等の熱的負荷により生じる縮みは、 450°C プロセスの場合、長辺方向で 0 ppm 、短辺方向で 3 ppm 、また 500°C プロセスの場合、長辺方向で 3 ppm 、短辺方向で 6 ppm となっており、生じる応力に異方性があることがわかった。

【0057】このような応力は、半導体膜では主として非単結晶の結晶質シリコンの結晶粒界(grain boundary)で吸収されることになるが、この結晶粒界領域はアモルファス状態となっており、半導体膜に作用する応力とアモルファスシリコンの性質との相関が問題となる。一般に、欠陥密度の小さな、良質なアモルファスシリコンは大きな内部応力(圧縮応力)を含んでいる。したがって、外部から加わる圧縮応力を積極的に利用することによって、非単結晶の結晶質シリコンの結晶粒界に欠陥密度の小さい良好なアモルファスシリコンを形成することができる。例えば線状の焦点を有するレーザービームの長尺方向を、母基板の短尺方向と平行に照射し、母基板の長尺方向と平行に走査する場合、母基板の短尺方向と平行に作用する応力が大きい。つまり、熱負荷により生じた前述した基板の縮みにより生じる基板の短辺方向の応力により、非単結晶の結晶質シリコンの結晶粒界のアモルファスシリコンを良質な状態に形成することができる。このような非単結晶の結晶質シリコン膜は、結晶粒界のアモルファスシリコンの欠陥密度が小さく、したがってポテンシャル障壁が小さくなり、キャリアの移動度を向上することができる。

【0058】このように本発明においては、薄膜トランジスタの特性を向上するとともに、より特性を均一化するために、複数の薄膜トランジスタを配列した薄膜トランジスタアレイを、チャネル方向(ソース・ドレイン方向)をチャネル領域を構成する非単結晶の結晶質シリコン膜の粒径の不均一さの影響が積極的に排除されるように揃えて、また、母基板に生じる応力により非単結晶の

結晶質シリコンの粒界のアモルファスシリコンの欠陥密度が低減するように薄膜トランジスタのチャネル方向を揃えて形成したものである。

【0059】薄膜トランジスタの特性の均一性を向上する目的からは、ドライバ回路を構成する薄膜トランジスタアレイ(複数の論理ゲート装置を含む)および表示領域を構成する薄膜トランジスタアレイのチャネル方向をすべて揃えて形成することが好適である。

【0060】画素領域の薄膜トランジスタアレイとドライバ回路を構成する薄膜トランジスタアレイとでは使用目的が異なるため、そのスペックも異なる場合もあり、例えばドライバ回路の薄膜トランジスタアレイを構成する薄膜トランジスタが移動度重視であるのに対し、画素領域を構成する薄膜トランジスタはリーク電流(OF F電流)が問題となる。リーク電流が大きいと、画素に書き込まれた表示信号の保持特性が劣化してしまう。いずれにせよ初期特性の均一性は高性能の液晶表示装置を得る上で重要であり、また反射型液晶表示装置の場合には光照射によるリークを考慮しなくともよいから移動度の向上、特性の均一化は極めて重要である。

【0061】また、薄膜トランジスタの特性の向上という観点からは、先に述べたようにレーザービーム形状、および照射する母基板に対するビームの線状の焦点の向きが重要である。前述のように、ビームの長尺方向には大粒径の均一な非単結晶の結晶質シリコンの結晶粒が形成され移動度が大きくなる。したがって、チャネル長方向と照射するレーザービームの長尺方向とをほぼ平行に設定することが重要となる。

【0062】また母基板形状と、ELAプロセスにより母基板へ作用する熱的負荷に起因したストレスとの関係に対する配慮も必要である。母基板面内でのストレス分布を考えると、短辺方向に対するストレスの効果が大きいことから、母基板の短辺方向と薄膜トランジスタのソース・ドレインの配列方向をほぼ平行に設定すれば、外部ストレスにより非単結晶の結晶質シリコンの結晶粒界のアモルファスシリコンの欠陥密度が低減し、キャリアの移動度はより向上する。したがって、例えばチャネル長方向と母基板の短辺方向とを一致させるなどして、応力の作用する方向と薄膜トランジスタのチャネル方向とを垂直にすることが好適である。

【0063】以上のような構成を備えることにより、本発明の薄膜トランジスタ、論理ゲート装置、薄膜トランジスタアレイにおいては、照射するレーザービームの長尺方向と母基板の短辺方向とをほぼ平行にし、かつ薄膜トランジスタのチャネル方向をレーザービームの長尺方向とほぼ平行にすることにより、優れた特性を有し、かつ特性の均一な薄膜トランジスタを、高い生産性で製造することができる。

【0064】また、複数の薄膜トランジスタのチャネル長方向を揃えて形成することにより、複数の薄膜トラン

ジスタの特性がより均一化する。例えば液晶表示装置においては、薄膜トランジスタアレイのチャネル方向を揃えることにより、薄膜トランジスタの特性を均一にすることにより、表示画像のむらが抑制される。

【0065】また薄膜トランジスタのスイッチング特性の向上を図るためには、薄膜トランジスタのチャネル方向を移動度が大きい方向に揃えるようにすればよい。例えば、ELA法による結晶化の際に用いるラインビームの長尺方向と薄膜トランジスタのチャネル長方向を揃え、かつ、母基板の短辺方向と薄膜トランジスタのチャネル長方向とを揃えるようにしてもよい。

【0066】本発明によれば、非単結晶の結晶質シリコン膜をチャネル部に用いた薄膜トランジスタを用いた液晶表示装置などにおいて、画素領域および駆動回路に用いられている薄膜トランジスタのチャネル長方向を平行に揃えることにより、またその方向をラインビームを用いたELA法で結晶化したときの長尺方向であること、あるいは母基板の短辺方向と一致することにより、基板面内での薄膜トランジスタの特性の均一化を実現し、さらには高移動度を実現した薄膜トランジスタアレイをもった液晶表示装置を得ることができる。さらに、液晶表示装置のアレイ基板の製造工程において、ELAのビーム長尺方向と基板の短辺方向とを一致させ、この方向と平行に薄膜トランジスタのチャネル長方向をほぼ一致させて形成することで、高性能で生産性の高いトランジスタを得ることができる。

【0067】

【発明の実施の形態】以下、本発明についてさらに詳細に説明する。

【0068】（実施形態1）まず、結晶粒径分布が不均一な非単結晶の結晶質シリコン膜をチャネルに用いた薄膜トランジスタの、チャネル方向と特性のばらつきとの関係について説明する。

【0069】薄膜トランジスタの形成プロセスの概要は以下の通りである。なお、ここではコプラナ型の薄膜トランジスタを例として取り上げて説明するが、本発明はこれに限定されることはなく、例えば逆スタガ型の薄膜トランジスタなど他の型の薄膜トランジスタに適用することができる。つまり、非単結晶の結晶質シリコン膜をチャネル半導体膜として備える薄膜トランジスタであれば全く同様に適用することができる。

【0070】絶縁性基板には厚さ約1.1mm、大きさ約300×400mmのNA35を用いた。この絶縁性基板上に、SiO₂（SiO_x）アンダーコート層を形成し、この上に、厚さ約50nmのアモルファスシリコン膜を形成し、約500℃での脱水素を行った。アモルファスシリコン膜の堆積は、例えばLPCVD法、PCVD法あるいはスパッタ法などにより形成するようにすればよい。

【0071】図9はELA法によるアモルファスシリコ

ン膜の結晶化の様子を模式的に示す図である。上述のように基板31上に形成したアモルファスシリコン膜を先駆膜としてELA法により結晶化を行った。加熱光源としては、波長308nmのXeClエキシマレーザーを用い、長さ約170×幅0.4mmの線状の焦点32を結ぶようなビーム形状で90%オーバーラップで照射した。形成された非単結晶の結晶質シリコン膜は図2、図3に示したようにビームの走査方向に沿って結晶粒径の大きな部分と小さな部分が不均一に分布していた。

【0072】形成した非単結晶の結晶質シリコンからなる半導体膜をパターニングして、厚さ約100nmゲート酸化膜を形成し、さらに約500℃でのデンシファイ（緻密化）を行なった。ついでゲート電極を形成し、このゲート電極をマスクとして自己整合的にイオンドーピング法によりソース・ドレインコンタクト領域を形成した。さらに層間絶縁膜形成し、コンタクトホールを形成して、半導体膜のソース・ドレイン領域と接合したソース・ドレイン電極および配線を形成して基板上にn-channelの薄膜トランジスタアレイを形成した。形成した非単結晶の結晶質シリコン膜には水素化処理を行なった。なお、ソース・ドレイン領域の活性化は自己活性化を用いており、プロセスを通しての最高温度は500℃であった。

【0073】また、形成した薄膜トランジスタの形状は（チャネル幅）／（チャネル長）＝10／10（μm）でほぼ一定となるようにしたが、チャネル長方向（ソース・ドレイン方向）を、照射したレーザービームの長尺方向と平行に設定した薄膜トランジスタと、垂直方向に設定したものの2種類を作成した。

【0074】図10は、チャネル方向の異なる2種類の薄膜トランジスタの電界効果移動度を測定した結果を示す図である。

【0075】チャネル方向（ソース・ドレイン方向）をビームの長尺方向と平行にした本発明の薄膜トランジスタ（アレイ）では、移動度は約120～140cm²/Vsの範囲内に収束しており、均一で高い移動度が実現されている。一方、チャネル方向をビームの長尺方向と垂直に設定した場合は移動度は大きくばらついており、最高値は130cm²/Vs程度が得られているが、小さい場合には20cm²/Vs程度の移動度しか得られていないことがわかる。

【0076】移動度が極端に小さい薄膜トランジスタについて、そのチャネル領域をセコエッチングして得られたFE-SEM像を観察したところ、図5（b）に示したように、粒径が小さい領域がソース・ドレイン間に存在しているという特徴が見られた。キャリアはこの小粒径領域を超えなければならず、この小粒径領域が移動度を律速していることになる。

【0077】図11は、チャネル長を50μmに設定して同様に形成した薄膜トランジスタについて同様の測定

を行った結果を示す図である。チャンネル方向をビームの長尺方向と平行にした本発明の薄膜トランジスタ（アレイ）では、図10に示した結果とほぼ同様の傾向を示している。これに対しチャンネル方向をビームの長尺方向と垂直に設定した場合は、小さな移動度を有する薄膜トランジスタの頻度が増大している。これは、チャンネル長が大きくなることで、小粒径領域がソース・ドレイン間を形成されキャリアの移動を遮る確率が大きくなるためである。

【0078】（実施形態2）つぎに、基板に生じる応力と薄膜トランジスタの特性との関係について説明する。薄膜トランジスタの形成プロセスは実施形態1とほぼ同様であるが、ここでは活性化工程として熱活性化を用いた。活性化時の温度を400℃、500℃、600℃（3時間）に設定してそれぞれ薄膜トランジスタアレイを作成した。薄膜トランジスタは（チャンネル幅／チャンネル長）＝（10μm／10μm）に設定して作成した。なお、作成した薄膜トランジスタアレイのうち、ソース・ドレイン間に非単結晶の結晶質シリコンの結晶粒径の大きい領域が連続して存在する薄膜トランジスタに限ってその特性の評価を評価した。

【0079】図12は、各プロセス温度（活性化温度）と、基板の短辺方向および長辺方向のシュリンクの大きさとの関係を示すグラフである。図12中、黒丸は短辺方向のシュリンクを示し、白丸は長辺方向のシュリンクを示している。400℃の場合には基板の短辺方向のシュリンクは5ppmであるが、500℃では6ppm、600℃では20ppmと、プロセス温度の上昇に伴って、基板のシュリンクが増大していることがわかる。ただし、約400℃活性化プロセスの場合でも、約500℃の脱水素工程、デンシファイ工程は含まれるものとする。一方、白丸で示した長辺方向のシュリンクは、プロセス温度に依存していないことがわかる。

【0080】図13は、プロセス温度と、薄膜トランジスタの電界効果移動度（各10点測定）との相関関係を示す図である。プロセス温度の上昇に伴いキャリアの移動度が増大していることがわかる。これは、プロセス温度の上昇に対応してより大きな圧縮応力が半導体膜に加わり、非単結晶の結晶質シリコンの結晶粒界のアモルファスシリコンの欠陥密度が低減しているためであると考えられる。

【0081】したがって、例えば液晶表示装置のアレイ基板を製造する際などに、母基板の短辺とほぼ平行な線状の焦点領域を有するレーザービームを母基板の長辺方向に走査して、非単結晶の結晶質シリコン膜を形成し、母基板の短辺とほぼ平行なチャンネル方向を有する薄膜トランジスタアレイを形成することにより、非単結晶の結晶質シリコンの結晶粒界のアモルファスシリコンの欠陥密度が低減し、よりスイッチング特性の向上した薄膜トランジスタアレイを提供することができる。

【0082】図14は、母基板31と、この母基板31に形成するアレイ基板33、および各アレイ基板33に形成する図示しない薄膜トランジスタのチャンネル方向との関係を模式的に示す図である。母基板から取り出すアレイ基板の枚数によっては、アレイ基板の短辺と、薄膜トランジスタアレイのチャンネル方向が変化するが、どの場合でも照射するレーザービームの長尺方向と薄膜トランジスタのチャンネル方向とを合わせるようにすればよい。

【0083】（実施形態3）図15は画素部と駆動部とが一体的に形成された液晶表示装置のアレイ基板33の構成を模式的に示す図である。このアレイ基板33は、画素部34およびXードライバ35aとYードライバ35bとからなる駆動回路部35とが1枚の絶縁性基板上に一体的に形成されており、画素部を構成する図示しない薄膜トランジスタアレイも、駆動回路部を構成する図示しない薄膜トランジスタアレイも、非単結晶の結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタから構成されている。

【0084】図16はXードライバの構成の1例を概略的に示すブロック図であり、図17はこのXードライバの構成の1例を概略的に示す回路図である。

【0085】このXードライバはシフトレジスタ41、検査回路42、バッファ回路43、アナログスイッチ44の4段構成となっている。このうち、高速動作、つまり移動度に対する要求が最も厳しいのはシフトレジスタ41である。このシフトレジスタ41はCMOSインバータ回路45、2入力NAND回路46、3入力NAND回路47から構成されている。CMOSインバータ回路45は3個ずつのNMOSTランジスタおよびPMOSTランジスタから構成されており、2入力NAND回路47は2個ずつのNMOSおよびPMOSTランジスタから構成されている。

【0086】図18は従来のXードライバを構成するシフトレジスタの2入力NAND回路46のレイアウトの1例を概略的に示す図である。この例では、2入力NAND回路46を構成する2個のPMOSTランジスタのチャンネル方向が、2個のNMOSTランジスタのチャンネル方向と異なっている。

【0087】図19は本発明のXードライバを構成するシフトレジスタの2入力NAND回路46のレイアウトの1例を概略的に示す図である。2入力NAND回路46を構成する2個のPMOSTランジスタのチャンネル方向と、2個のNMOSTランジスタのチャンネル方向とが平行に形成されている。そして、これらの薄膜トランジスタのチャンネル方向は、図6に例示したように半導体膜のソース・ドレイン間を結晶粒径が小さく移動度が小さい領域が遮らないような方向に揃えて形成されている。

【0088】ここでは2入力NAND回路46を例にとって説明したが、2入力NAND回路46だけでなくシ

フトレジスタ41全体についても採用している。すなわち、CMOSインバータ回路45、3入力NAND回路47など他の論理ゲートについても同様に構成されている。

【0089】このように本発明においては、シフトレジスタを構成する複数の薄膜トランジスタのチャネル方向を実質的に平行に形成しており、PMOSTランジスタもNMOSTランジスタもそのチャネル方向が平行になるように形成するとともに、粒径分布に異方性を有する非単結晶の結晶質シリコン膜からなる半導体膜のチャネル領域のうち移動度の大きな領域のみを通してキャリアが移動できるようにソース電極およびドレイン電極を配列している。

【0090】このような構成を採用することにより本発明においては高速動作するとともに信号伝送の均一な、駆動能力の高いシフトレジスタ41を得ることができた。

【0091】なお、ここでは液晶表示装置のアレイ基板の駆動回路部を構成するシフトレジスタを例に取り上げて説明したが、本発明はこれに限ることはなく、他の論理ゲート装置、各種のROM、各種のRAMなど、非単結晶の結晶質シリコン膜をチャネル半導体膜に用いた薄膜トランジスタアレイであれば全く同様に適用することができる。

【0092】

【発明の効果】以上説明したように本発明の薄膜トランジスタは、非単結晶の結晶質シリコンからなる半導体膜内の結晶粒径の分布とソース・ドレイン電極の配列位置に注目して、複数の薄膜トランジスタの特性を均一にしたものである。したがって、このような本発明の薄膜トランジスタを用いることにより、非単結晶の結晶質シリコンからなる半導体膜を用いた薄膜トランジスタのスイッチング特性を向上するとともにスイッチング特性を均一にすることができる。したがって、例えば論理ゲート装置やその他の薄膜トランジスタアレイなどの動作特性を向上することができる。

【0093】また本発明の薄膜トランジスタによれば、母基板にかかる応力の大きな方向にそのチャネル領域を揃えて形成することにより、非単結晶の結晶質シリコン膜の結晶粒界のアモルファスシリコンの欠陥密度を低減し、移動度を向上することができる。

【0094】すなわち本発明の論理ゲート装置および薄膜トランジスタアレイは、複数の薄膜トランジスタを、半導体膜の移動度の大きな領域のみを通してキャリアが移動できるように揃えて形成しているため、所定の論理ゲート装置やその他の薄膜トランジスタアレイを構成するすべての薄膜トランジスタにおいて、キャリアは移動度の小さい結晶粒径の小さな領域に遮られることなくソース・ドレイン間を移動することができる。したがって、所定の薄膜トランジスタアレイを構成するすべての

薄膜トランジスタにおいてキャリア移動度が小さく、かつ複数の薄膜トランジスタ間での特性のばらつきが極めて小さな高性能な薄膜トランジスタアレイとなる。

【0095】このような薄膜トランジスタアレイにより駆動回路と画素アレイとを一体的にアレイ基板上に形成した画素部駆動部一体型の液晶表示装置を構成すれば、生産性を低下させることなく、駆動能力が高く、したがって高い表示品質を有する液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】先駆膜を形成した母基板をレーザービームにより走査する様子を模式的に示す図。

【図2】ELA法により形成した非単結晶の結晶質シリコン膜の組織を示す電子顕微鏡写真(SEM像)。

【図3】ELA法により形成した非単結晶の結晶質シリコン膜の組織を示す電子顕微鏡写真(SEM像)。

【図4】非単結晶の結晶質シリコン膜の結晶粒径の大きな領域と小さな領域の分布と、レーザービームの照射方向及び走査方向との関係を模式的に示す図。

【図5】非単結晶の結晶質シリコンからなる半導体膜の粒径分布の様子と、この半導体膜と接合するソース電極・ドレイン電極の位置関係を概略的に示す図。

【図6】本発明の薄膜トランジスタアレイを模式的に示す図。

【図7】従来の薄膜トランジスタアレイを模式的に示す図。

【図8】駆動回路一体型の液晶表示装置のアレイ基板の構成の1例を概略的に示す図。

【図9】ELA法によるアモルファスシリコン膜の結晶化の様子を模式的に示す図。

【図10】チャネル方向の異なる2種類の薄膜トランジスタの電界効果移動度を測定した結果を示す図。

【図11】チャネル方向の異なる2種類の薄膜トランジスタの電界効果移動度を測定した結果を示す図(チャネル長50 μ mの場合)。

【図12】プロセス温度(活性化温度)と、基板のシュリンクの大きさとの関係を示すグラフ。

【図13】プロセス温度と、薄膜トランジスタの電界効果移動度(各10点測定)との相関関係を示す図。

【図14】母基板とアレイ基板および薄膜トランジスタのチャネル方向との関係を模式的に示す図。

【図15】画素部と駆動部とが一体的に形成された液晶表示装置のアレイ基板の構成を模式的に示す図。

【図16】Xードライバの構成の1例を概略的に示すブロック図。

【図17】Xードライバの構成の1例を概略的に示す回路図。

【図18】従来のXードライバを構成するシフトレジスタの2入力NAND回路のレイアウトの1例を概略的に示す図。

21

【図19】本発明のXードライバを構成するシフトレジスタの2入力NAND回路のレイアウトの1例を概略的に示す図。

【符号の説明】

11……レーザービームの焦点（線状）

12……母基板

13……レーザービームの焦点（点）

14……移動度の大きな薄膜トランジスタ

15……移動度の小さな薄膜トランジスタ

21……アレイ基板、

域、23……走査線駆動回路、

号線駆動回路

25……画素、

ランジスタ

22……画素領

24……信

26……薄膜ト

*

* 27……走査線、

29……対向電極、

31……母基板、

ービームの焦点

33……アレイ基板、

35a……Xードライバ、

ドライバ

41……シフトレジスタ、

路

43……バッファ回路、

グスイッチ

45……CMOSインバータ回路、

NAND回路

47……3入力NAND回路

22

28……信号線

30……液晶層

32……レーザ

34……画素部

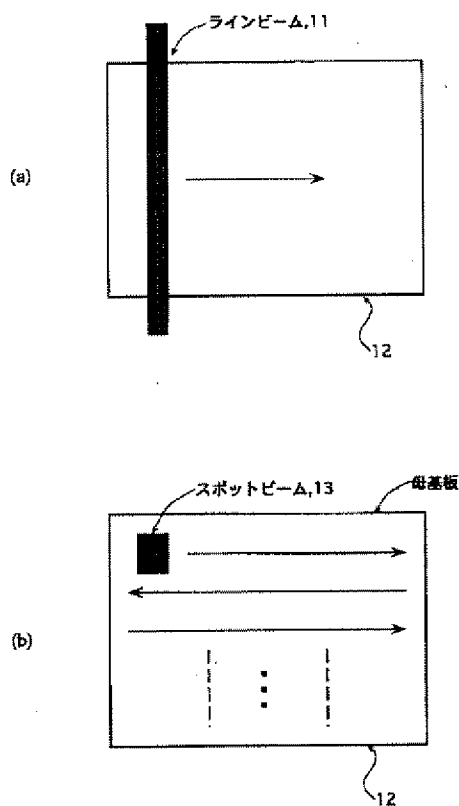
35b……Yー

42……検査回

44……アナロ

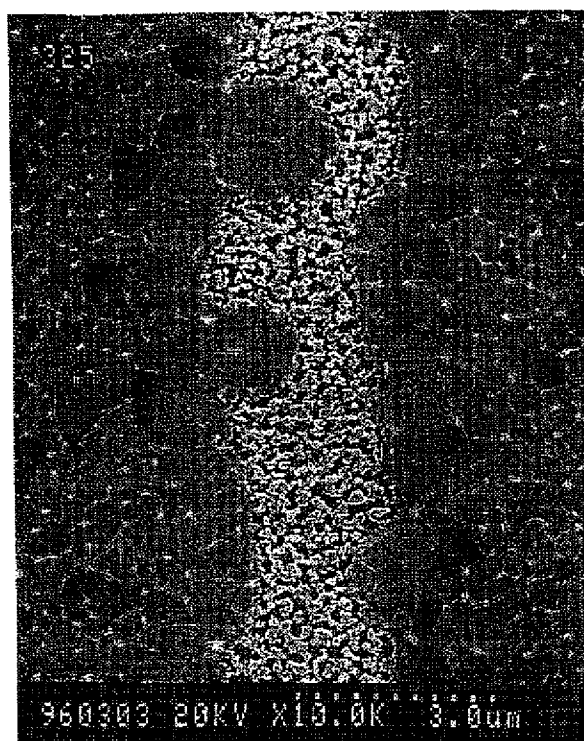
46……2入力

【図1】



【図2】

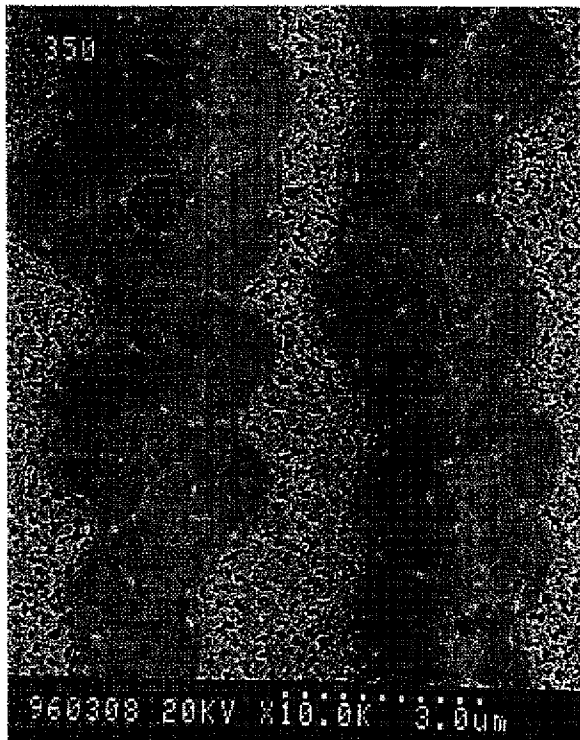
図面代用写真



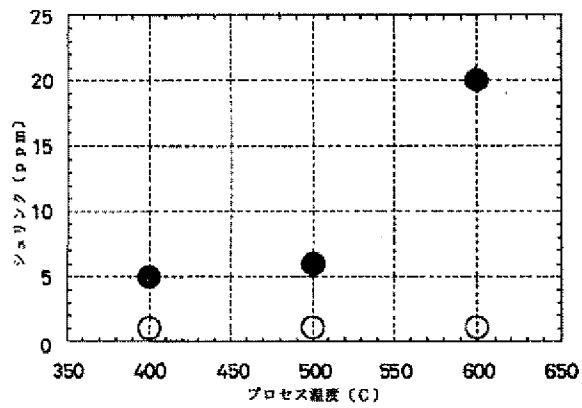
3.0 μm

【図3】

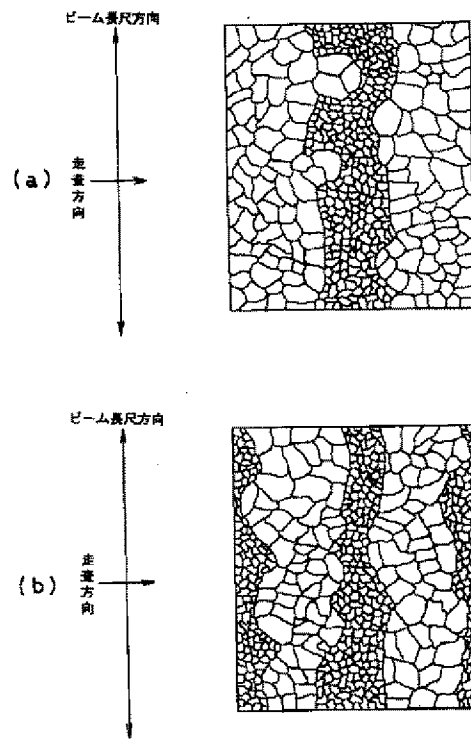
図面代用写真

3.0 μm

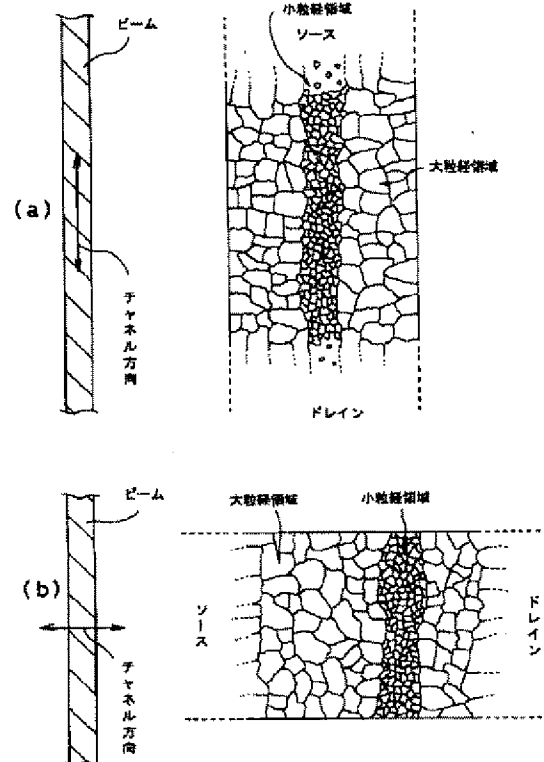
【図12】



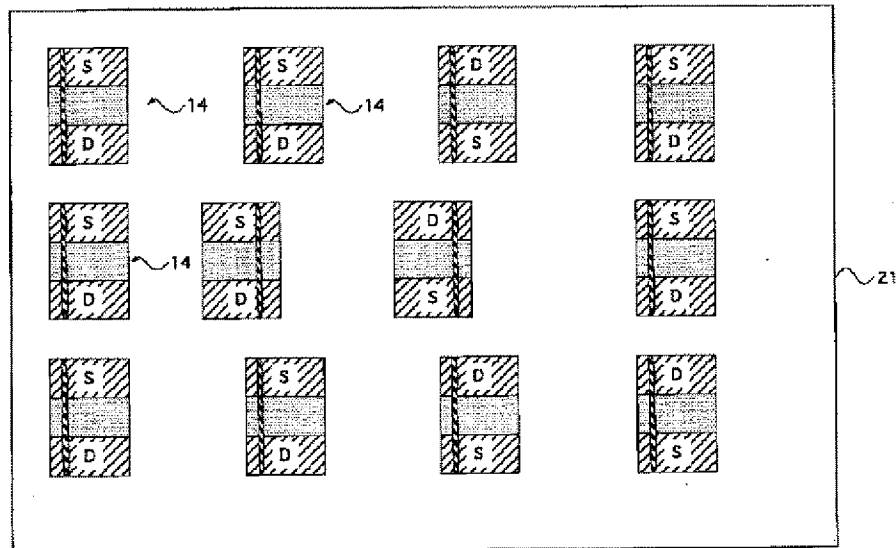
【図4】



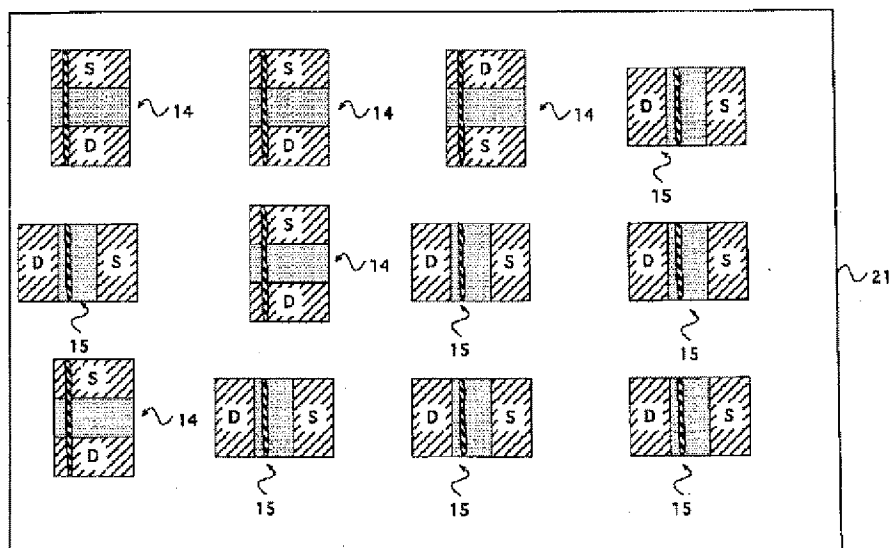
【図5】



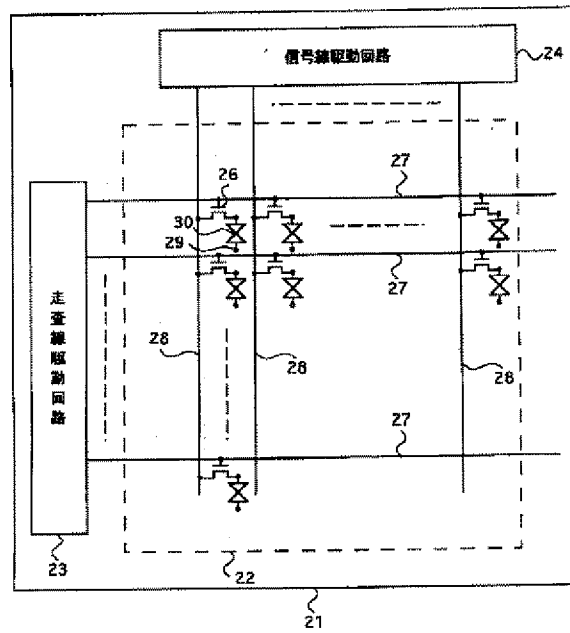
【図6】



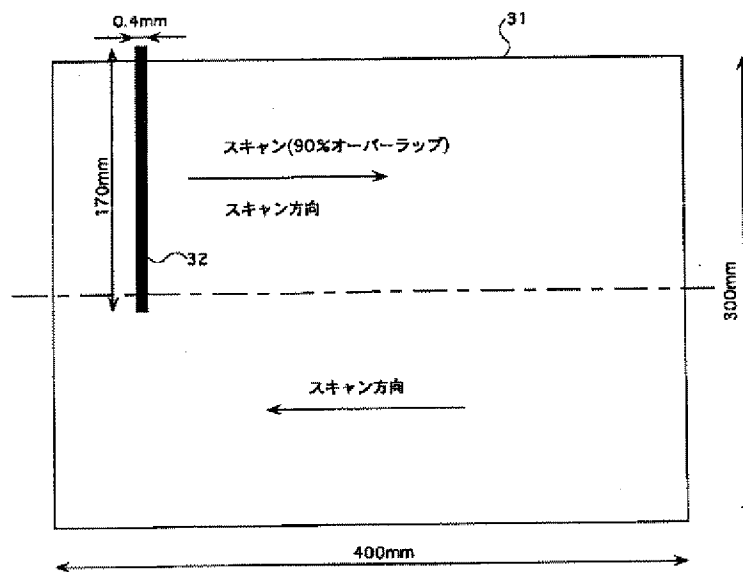
【図7】



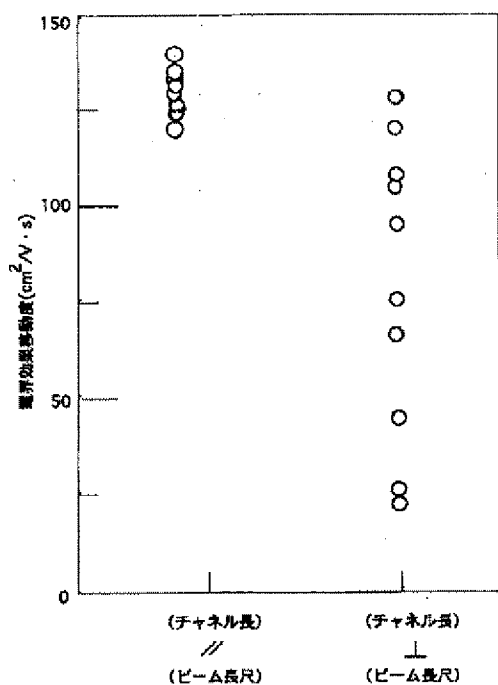
【図8】



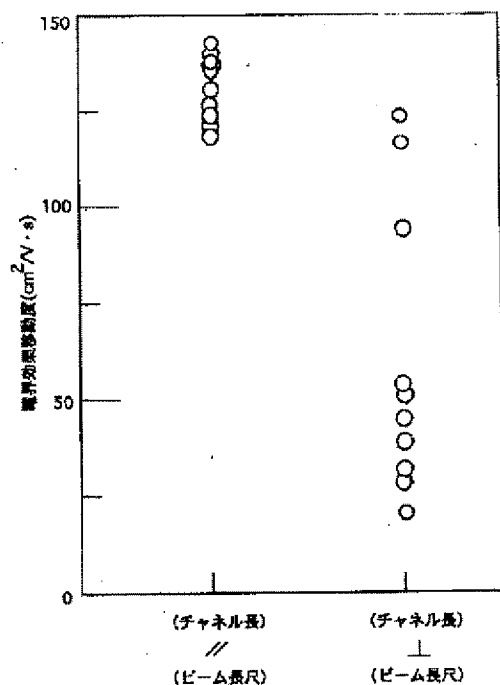
【図9】



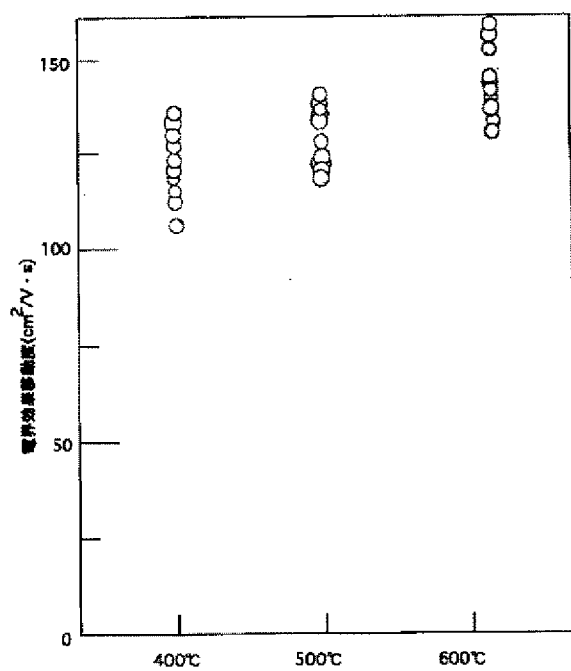
【図10】



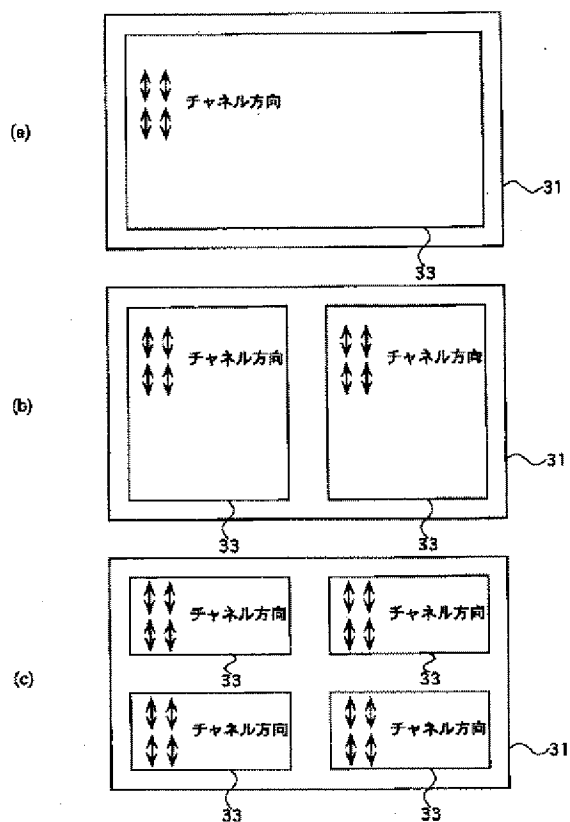
【図11】



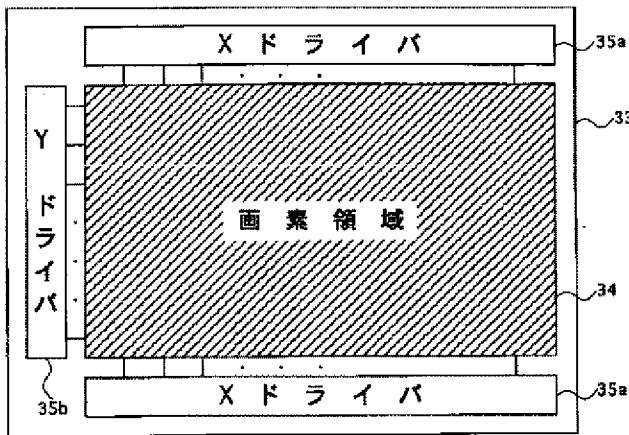
【図13】



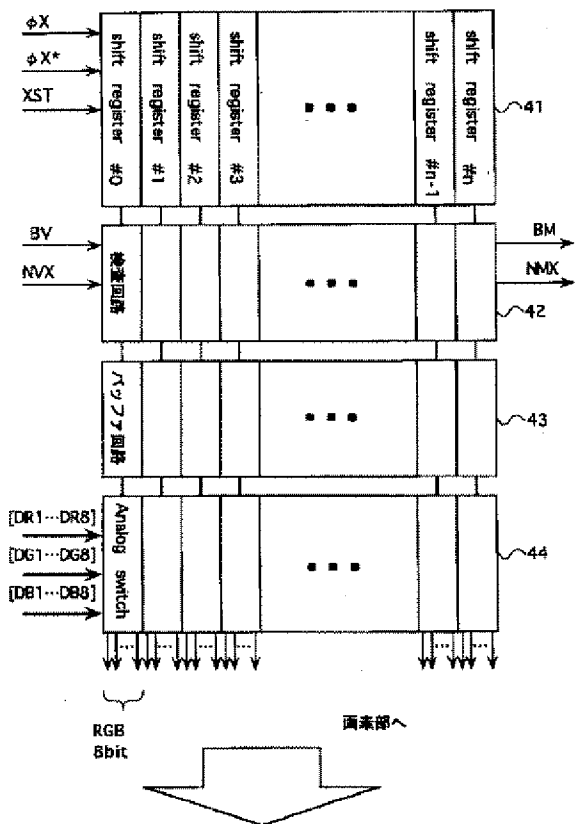
【図14】



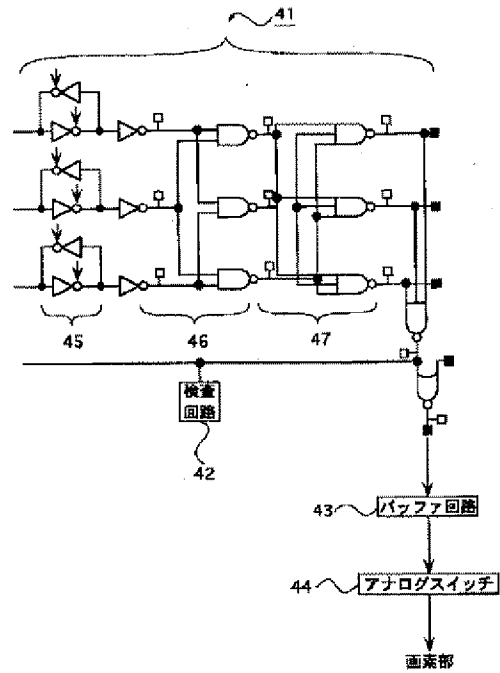
【図15】



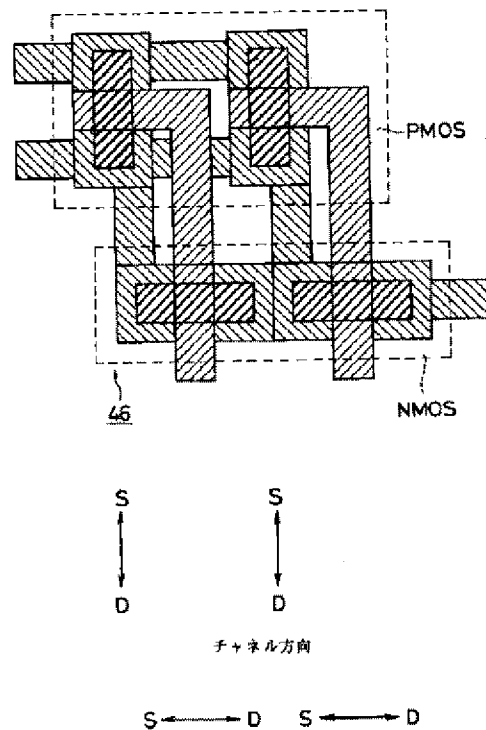
【図16】



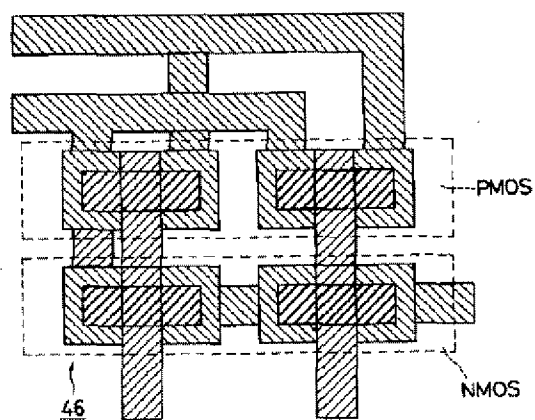
【図17】



【図18】



【図19】



S ←→ D S ←→ D

チャネル方向

S ←→ D S ←→ D